

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11007348 A**

(43) Date of publication of application: **12.01.99**

(51) Int. Cl.

G06F 3/00
G06F 15/16
H01R 9/09
H01R 23/68
H05K 1/18

(21) Application number: **09161737**

(71) Applicant: **NEC CORP**

(22) Date of filing: **19.06.97**

(72) Inventor: **KIMURA TAKAYUKI**

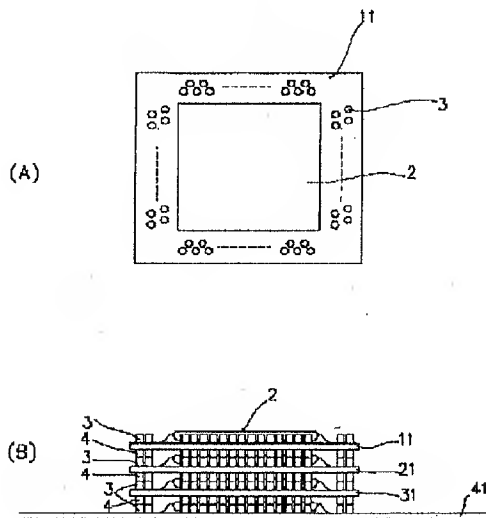
(54) **MULTI-PROCESSOR CONNECTION SYSTEM**

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain multi-processor connection system in which a mounting area is reduced.

SOLUTION: This system is provided with substrates 11, 21, and 31 and a mother board 41 on which processors 2 are respectively loaded, upward connectors 3 erected to the upward direction of the substrates; and downward collectors 4 elected to the downward direction of the substrates, and upward connectors 3 erected to the upward direction of the surface of the mother board 41. The upward connectors 3 and the downward connectors 4 are mutually connected so that the buses of the substrates 11, 21, and 31 and the mother board 41 can be hierarchically connected. Thus, the driving of each processor 2 can be attained. The processor loading substrates are vertically piled up so that a wiring pattern for connecting the processors can be made the shortest, and as a result, the influence of a reflected wave and a ringing waveform can be suppressed, and the operating frequencies of the processor bus can be improved. Also, the minimization of a mounting area can be realized.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-7348

(43) 公開日 平成11年(1999) 1月12日

(51) Int.Cl.⁵

識別記号

F I

G 0 6 F 3/00

G 0 6 F 3/00

T

15/16

15/16

S

H 0 1 R 9/09

H 0 1 R 9/09

C

23/68

23/68

3 0 3 F

H 0 5 K 1/18

H 0 5 K 1/18

T

3 0 3

審査請求 有 請求項の数 3 O L (全 4 頁)

(21) 出願番号

特願平9-161737

(22) 出願日

平成9年(1997) 6月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 木村 孝行

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 丸山 隆夫

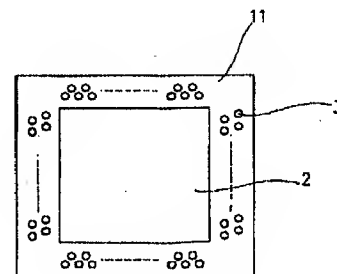
(54) 【発明の名称】 マルチプロセッサ接続方式

(57) 【要約】

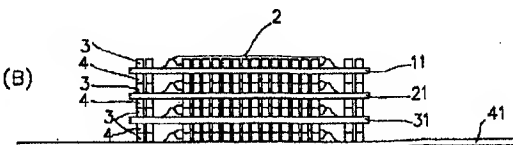
【課題】 実装面積を縮小化したマルチプロセッサ接続方式を得る。

【解決手段】 それぞれにプロセッサ2が搭載された基板11、21、31およびマザーボード41と、基板の上方向に立てられた上向きのコネクタ3および下方向に立てられた下向きのコネクタ4と、マザーボード41の表面の上方向に立てられた上向きのコネクタ3とを有している。上向きのコネクタ3と下向きのコネクタ4とを相互に勘合させ、基板11、21、31およびマザーボード41のバス間を階層的に接続する。本構成により各プロセッサ2、2、2、2の駆動が可能となる。プロセッサ搭載基板を上下方向に積み重ねることにより、プロセッサ間を結ぶ配線パターンが最短化され、その結果反射波とリンギング波形の影響が抑制され、プロセッサバスの動作周波数を向上させることができる。また、実装面積の最小化を実現できる。

(A)



(B)



【特許請求の範囲】

【請求項1】 それぞれにプロセッサが搭載された少なくとも第1および第2の基板と、

プロセッサが搭載されたマザーボードと、

前記第1および第2の基板の上方向に立てられた上向きのコネクタおよび下方向に立てられた下向きのコネクタと、

前記マザーボードの表面の上方向に立てられた上向きのコネクタとを有し、

前記上向きのコネクタと下向きのコネクタとを相互に勘合させ、前記第1の基板、第2の基板およびマザーボードのバス間を階層的に接続して、前記各プロセッサの並列駆動を可能としたことを特徴とするマルチプロセッサ接続方式。

【請求項2】 前記上向きのコネクタはピンヘッダ型に、また前記下向きのコネクタはリセプタクル型に構成されたことを特徴とする請求項1記載のマルチプロセッサ接続方式。

【請求項3】 前記プロセッサは表面実装型であることを特徴とする請求項1または2記載のマルチプロセッサ接続方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CPU及びプロセッサ等の素子間のマルチプロセッサ接続方式に関する。

【0002】

【従来の技術】従来、マルチプロセッサ接続方式は一般に、複数のプロセッサ素子間の接続方式として適用される。本接続方式は、例えば、図4に示すように、1枚のプリント板上に複数のプロセッサを平面状に配置し、各プロセッサの端子間を相互にプリント板上で配線接続している。

【0003】図5は、上記の接続関係を表わした従来一般的に用いられている回路図である。図5において、4個のプロセッサ素子が制御バス、データバス、およびアドレスバスにて、相互に並列接続されてマルチプロセッサが構成されている。この回路図で表わされる接続関係を、実際の基板上では、複数のプロセッサを多層配線構造の基板を用いて相互に接続し、処理性能を向上させることを実現している。

【0004】マルチプロセッサを実現する機構を備えた各プロセッサからは、アドレスバス、データバス、制御線がそれぞれ入出力される。このマルチプロセッサを実現するにおいて、同名の信号線同士は相互に接続される。近年プロセッサバスの周波数は益々高くなる傾向にあり、プロセッサバスの周波数が高くなると相互の信号を接続する信号の距離を極力短く配線する必要が出てくる。

【0005】

【発明が解決しようとする課題】しかしながら、上記従

来例の配線接続では、接続する信号線の距離を短くするには限界がある。この限界が、適用される信号周波数の留まりを知らない高まりに準じ、以前には無かった数々の問題を生じさせている。

【0006】例えば、1枚のプリント板上に複数のプロセッサを配置し、各プロセッサの端子間をプリント板平面上で相互に配線する場合、プロセッサ間の配線パターンをプロセッサのパッケージ以上に短くすることは物理的に不可能である。このため、プロセッサの数の増加と共にパターン配線長が増加し、反射波とリングング波形の影響により、高い周波数で動作させることが困難となる問題点を伴う。

【0007】又、プロセッサをプリント板平面上に相互に配置した場合、実装面積がプロセッサの個数に比例して増大し、このプロセッサを用いた機器の小型化を困難にする実装面積上の問題点を生じさせる。

【0008】本発明は、実装面積を縮小化したマルチプロセッサ接続方式を提供することを目的とする。

【0009】

【課題を解決するための手段】かかる目的を達成するため、本発明のマルチプロセッサ接続方式は、それぞれにプロセッサが搭載された少なくとも第1および第2の基板と、プロセッサが搭載されたマザーボードと、第1および第2の基板の上方向に立てられた上向きのコネクタおよび下方向に立てられた下向きのコネクタと、マザーボードの表面の上方向に立てられた上向きのコネクタとを有し、上向きのコネクタと下向きのコネクタとを相互に勘合させ、第1の基板、第2の基板およびマザーボードのバス間を階層的に接続して、各プロセッサの並列駆動を可能としたことを特徴としている。

【0010】また、上記の上向きのコネクタはピンヘッダ型に、下向きのコネクタはリセプタクル型で構成し、プロセッサは表面実装型とするとい。

【0011】

【発明の実施の形態】次に添付図面を参照して本発明によるマルチプロセッサ接続方式の実施の形態を詳細に説明する。図1～図3を参照すると本発明のマルチプロセッサ接続方式の一実施形態が示されている。

【0012】図1は、本実施形態のマルチプロセッサ接続方式の接続構造を示す図であり、(A)が上方平面図であり、(B)が側面図である。

【0013】図1において、第1の基板11の上にプロセッサ2が搭載され、プロセッサ2の信号端子は第1の基板11上の配線パターンを経由し、上方向のコネクタ3及び下方向のコネクタ4とにより電気的に接続される。コネクタ3は第1の基板11の上方に立てられ、コネクタ4は第1の基板11の下方に立てられる。第1の基板11に対し、上下方向を向くこれら2つのコネクタ3、4は、第1の基板11の中で相互に電気的に接続されている。

【0014】コネクタ3とコネクタ4は、相互に勘合しあうコネクタとなっており、プロセッサを搭載した同じ形状をもつ第2の基板21、第3の基板31は、上記の形態と統一形態のコネクタ3、4により、上下方向に相互に階層的に接続することができる。

【0015】さらに、第4の基板となるマザーボード41にも同じプロセッサ2が直に搭載される。このプロセッサ2の端子は、コネクタ3と接続される。この接続構造により、マザーボード41のコネクタ3の上に、それぞれ上記のプロセッサが搭載された第1の基板11、第2の基板21、第3の基板31が順次相互に接続される。この接続により、アドレスバス、データバス、制御バス等の各種バス間と必要なその他の信号の電気的な接続状態が確保される。

【0016】この接続構造を用いることにより、例えば、図5に示すマルチプロセッサの回路図の接続関係が達成され、各プロセッサの並列的駆動が可能となる。

【0017】第1～第4のそれぞれの基板上に搭載されるプロセッサ2、2、2、2は同じ種類のプロセッサであり、アドレスバス端子、データバス端子、制御バス端子は同一の端子配列を持つ。このため、図5に示されたマルチプロセッサ接続回路図の結線による物理的配線経路を、最短距離で接続構成することが可能となる。

【0018】図2および図3は、コネクタ3および4の縦断面図であり、図1におけるコネクタ3、及びコネクタ4の構造例を拡大して表している。図2では、コネクタ3はオス型タイプのピンヘッダであり、コネクタ4はメス型タイプのリセプタクルであり、相互に勘合するタイプのコネクタである。

【0019】また図3は、図1におけるコネクタ3、及びコネクタ4の構造を表した別の例である。本コネクタ3はメス型タイプのリセプタクルであり、コネクタ4はオス型タイプのピンヘッダであり、相互に勘合するタイプのコネクタである。

【0020】マルチプロセッサを構成する場合において、プロセッサが搭載された基板を基板の上下方向に相互に接続することによってプロセッサ間の相互配線パターンが最短化し、反射波とリンギング波形の影響を低下して、より高い周波数でバスを動作させることが可能とする。又、上下方向にプロセッサ基板が接続されることによって、実装面積の最小化を実現することを可能とする。

【0021】上記の実施形態では、表面実装タイプCPUを搭載する同一の形状を有したプロセッサ搭載基板と、プロセッサ搭載基板上に実装されるプリント板同士を上下方向へ相互に接続する構造を有したコネクタとを用いて、プロセッサ搭載基板同士を上下方向に相互に接続している。

【0022】マルチプロセッサを構成する場合におい

て、プロセッサが搭載された基板を、基板の上下方向に相互に接続することにより配線パターンが最短化される。また、プロセッサ間の相互配線パターンが最短化され、反射波とリンギング波形の影響を抑制して、より高い周波数でバスを動作させることが可能となる。さらに、上下方向にプロセッサ基板が多段に積み重ねられて接続されることにより、平面方向への実装が必要なくなり、実装面積の最小化を実現することができる。

【0023】尚、上述の実施形態は、本発明の好適な実施の一例ではあるがこれに限定されるものではなく、本発明の要旨を逸脱しない範囲において種々変形実施可能である。

【0024】

【発明の効果】以上の説明より明かなように、本発明のマルチプロセッサ接続方式は、少なくとも第1および第2の基板と、マザーボードとにおいて、第1および第2の基板の上向きのコネクタおよび下向きのコネクタと、マザーボードの上向きのコネクタとを相互に勘合させ、第1の基板、第2の基板およびマザーボードのバス間を階層的に接続している。

【0025】プロセッサ搭載基板を上下方向に積み重ねることにより、プロセッサ間を結ぶ配線パターンが最短化され、その結果反射波とリンギング波形の影響が抑制され、プロセッサバスの動作周波数を向上させることができる。また、上下方向にプロセッサ基板が多段に積み重ねられて接続されることにより、平面方向への実装が必要なくなり実装面積の最小化を実現でき、装置の小型化に寄与する効果が生まれる。或は、平面方向へのプロセッサの搭載が必要なくなった分、その実装スペースに他の部品を搭載し、同じプリント盤面積の中でより多数の機能部を搭載することが可能となる。

【図面の簡単な説明】

【図1】(A)は本発明のマルチプロセッサ接続方式の一実施例の形態を示す上面図であり、(B)は本発明のマルチプロセッサ接続方式の一実施例の形態を示す側面図である。

【図2】図1に使用されるコネクタの第1の構造例を示した拡大断面図である。

【図3】図1に使用されるコネクタの第2の構造例を示した拡大断面図である。

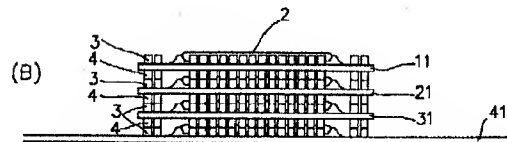
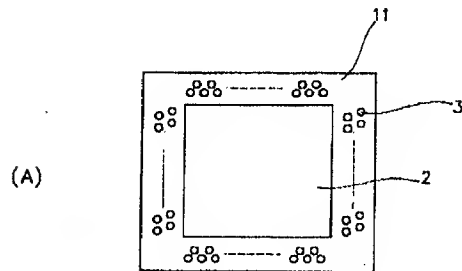
【図4】従来のマルチプロセッサ実装例を概念的に表わした図である。

【図5】マルチプロセッサの接続回路例である。

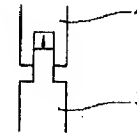
【符号の説明】

- 2 プロセッサ
- 3 上方向のコネクタ
- 4 下方向のコネクタ
- 11、21、31 基板
- 41 マザーボード

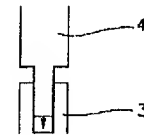
【図1】



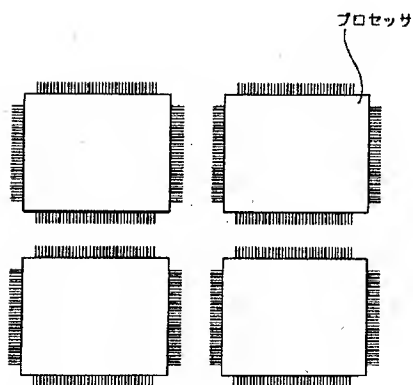
【図2】



【図3】



【図4】



【図5】

